

PATENT
29926/37046 -

IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE

Applicant:) Title: APPARATUS FOR
Seung-June KYOUNG) PROCESSING A BIT STREAM
Serial No.: Not Yet Assigned) Group Art Unit: Not Yet Assigned
Filed: August 16, 2001) Examiner: Not Yet Assigned



TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
Washington, D.C. 20231

Sir:

Enclosed herewith is a certified copy of Korean Patent Application Serial No. 2000-51339, filed 31 August 2000, upon which priority of the above-captioned application is claimed under 35 U.S.C. § 119.

Respectfully submitted,

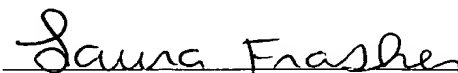
MARSHALL, GERSTEIN & BORUN
6300 Sears Tower
233 South Wacker Drive
Chicago, Illinois 60606-6402
(312) 474-6300

By:


James A. Flight
Registration No.: 37,622

CERTIFICATE OF MAILING (37 CFR 1.10)

I hereby certify that this Continuing Application Transmittal Under 37 CFR 1.53(b) and the documents referred to as enclosed therewith are being deposited with the United States Postal Service on **August 16, 2001**, in an envelope addressed to the Commissioner for Patents, Washington, D.C. 20231 utilizing the "Express Mail Post Office to Addressee" service of the United States Postal Service under Mailing Label No. **EL827657472US**.


Laura Frasher

515487

<Priority Document Translation>

1c872 U.S. PTO
09/931198
08/16/01

THE KOREAN INDUSTRIAL
PROPERTY OFFICE

This is to certify that the following application
annexed hereto is a true copy from the records of the
Korean Industrial Property Office.

Application Number : 2000-51339 (Patent)

Date of Application : August 31, 2000

Applicant(s) : HYUNDAI ELECTRONICS INDUSTRIES CO., LTD.

November 6, 2000

COMMISSIONER

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 51339 호
Application Number

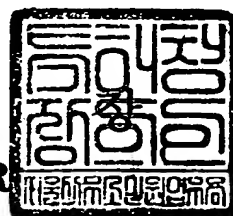
출원년월일 : 2000년 08월 31일
Date of Application

출원인 : 현대전자산업주식회사
Applicant(s)

2000 년 11 월 06 일

특 허 청

COMMISSIONER



| | |
|------------|--|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0032 |
| 【제출일자】 | 2000.08.31 |
| 【발명의 명칭】 | 비트 스트림 처리기 |
| 【발명의 영문명칭】 | BIT STREAM PROCESSOR |
| 【출원인】 | |
| 【명칭】 | 현대전자산업주식회사 |
| 【출원인코드】 | 1-1998-004569-8 |
| 【대리인】 | |
| 【성명】 | 특허법인 신성 정지원 |
| 【대리인코드】 | 9-2000-000292-3 |
| 【포괄위임등록번호】 | 2000-049307-2 |
| 【대리인】 | |
| 【성명】 | 특허법인 신성 원석희 |
| 【대리인코드】 | 9-1998-000444-1 |
| 【포괄위임등록번호】 | 2000-049307-2 |
| 【대리인】 | |
| 【성명】 | 특허법인 신성 박해천 |
| 【대리인코드】 | 9-1998-000223-4 |
| 【포괄위임등록번호】 | 2000-049307-2 |
| 【발명자】 | |
| 【성명의 국문표기】 | 경승준 |
| 【성명의 영문표기】 | KYOUNG, Seung June |
| 【주민등록번호】 | 690102-1079414 |
| 【우편번호】 | 463-500 |
| 【주소】 | 경기도 성남시 분당구 구미동 하얀마을 506-4503 |
| 【국적】 | KR |
| 【취지】 | 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 원 (인) 대리인 인 신성 원석희 (인) 대리인 특허법인 신성 박해천 (인) 특허법 |



1020000051339

2000/11/

【수수료】

| | | | | |
|---------|----|---|--------|---|
| 【기본출원료】 | 20 | 면 | 29,000 | 원 |
|---------|----|---|--------|---|

| | | | | |
|---------|---|---|---|---|
| 【가산출원료】 | 0 | 면 | 0 | 원 |
|---------|---|---|---|---|

| | | | | |
|----------|---|---|---|---|
| 【우선권주장료】 | 0 | 건 | 0 | 원 |
|----------|---|---|---|---|

| | | | | |
|---------|---|---|---|---|
| 【심사청구료】 | 0 | 항 | 0 | 원 |
|---------|---|---|---|---|

| | | | | |
|------|--------|---|--|--|
| 【합계】 | 29,000 | 원 | | |
|------|--------|---|--|--|

| | | | | |
|--------|-------------------|--|--|--|
| 【첨부서류】 | 1. 요약서·명세서(도면)_1통 | | | |
|--------|-------------------|--|--|--|

【요약서】

【요약】

본 발명은 얼라이너와 원형 버퍼를 사용하여 비트 스트림의 헤더와 데이터를 분리 저장하지 않고 하나의 원형 버퍼에 저장할 수 있도록 한, 비트 스트림 처리기를 제공하기 위한 것으로, 이를 위해 본 발명은 비트 스트림 처리기에 있어서, 전송된 비트 스트림을 저장하는 원형 버퍼; 상기 전송된 비트 스트림을 상기 원형 버퍼의 어느 번지에 저장할 것인가에 대한 정보를 저장하고 있는 제1 레지스터 및 제1 백업 레지스터; 상기 원형 버퍼로부터 비트 스트림을 읽을 위치를 저장하고 있는 제2 레지스터; 상기 원형 버퍼로부터 읽을 비트 수를 저장하는 제3 레지스터; 상기 제3 레지스터의 비트 수와 이전 단계에서 쉬프트된 비트 수를 가산하는 가산 수단; 상기 가산 수단의 출력에 응답하여 얼라인할 쉬프트량을 결정하는 제어 수단; 상기 제어 수단으로부터 출력되는 쉬프트량을 저장하는 제4 레지스터; 상기 제4 레지스터의 백업 레지스터인 제2 백업 레지스터; 이전에 상기 원형 버퍼로부터 읽은 비트 스트림을 저장하는 제5 레지스터; 상기 제5 레지스터의 백업 레지스터인 제3 백업 레지스터; 상기 제2 레지스터가 가리키는 상기 원형 버퍼의 비트 스트림과 상기 제5 레지스터의 값을 상기 제어 수단으로부터 출력되는 쉬프트량만큼 쉬프트하여 원하는 비트를 오른쪽을 얼라인하여 출력하는 쉬프트 수단; 및 상기 제3 레지스터의 값에 응답하여 상기 쉬프트 수단의 결과 비트 중 원하는 비트 이외의 값을 '0'으로 마스킹하여 최종 출력하는 마스킹 회로부를 포함한다.

【대표도】

도 2

【색인어】

비트 스트림 처리기, 원형 버퍼, 얼라이너, 프레임, 헤더

【명세서】**【발명의 명칭】**

비트 스트림 처리기{BIT STREAM PROCESSOR}

【도면의 간단한 설명】

도 1은 엠팩 레이어 3 오디오 프레임 포맷도.

도 2는 본 발명의 일실시예에 따른 비트 스트림 처리기의 블록도.

도 3은 전송된 비트 스트림을 저장하고 있는 원형 버퍼의 내부 도면.

도 4는 본 발명의 일실시예에 따른 상기 비트 스트림 처리기의 구체적인 동작을 설명하기 위해 제1 리드 모드에서 10비트를 읽어 가는 일례를 도시한 도면.

도 5는 본 발명의 일실시예에 따른 상기 비트 스트림 처리기의 구체적인 동작을 설명하기 위해 제2 리드 모드에서 13비트를 읽어 가는 일례를 도시한 도면.

도 6은 제2 리드 모드에서 제1 리드 모드로 전환했을 때의 비트 스트림 처리기의 상태를 도시한 도면.

도 7은 엠팩 레이어 3 오디오 프레임 포맷 비트 스트림을 본 발명의 일실시예에 따른 상기 도 2의 비트 스트림 처리기로 처리하는 과정을 도시한 도면.

*** 도면의 주요 부분에 대한 설명**

100 : 원형 버퍼 110 : 헤드 포인터 레지스터

120 : 리드 포인터 백업 레지스터 130 : 리드 포인터 레지스터

140 : 비트량 레지스터 150 : 가산기
 160 : 제어부 170 : 쉬프트량 레지스터
 190, 220 : 백업 레지스터 180 : 잔류 레지스터
 200 : 쉬프트기 210 : 마스크 회로부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <15> 본 발명은 프레임 단위로 코딩(coding)된 비트 스트림(bit stream)을 전송받아 처리하는 비트 스트림 처리기에 관한 것으로, 특히 비트 스트림 처리기 내의 얼라이너(aligner) 및 원형 버퍼(circular buffer)에 관한 것이다.
- <16> 일반적으로, 프레임 단위로 코딩된 비트 스트림을 처리하는 처리기나 디코딩 하드웨어는, 전송된 비트 스트림을 순차적으로 버퍼에 저장 한 후 처리한다. 이때, 버퍼에 저장된 비트 스트림은 통상 바이트(byte)나 워드(word) 단위로 얼라인되어 있지 않고, 비트 스트림의 처리에 필요한 비트 수도 경우에 따라 틀리기 때문에 버퍼로부터 필요한 만큼의 비트를 얼라인시키는 얼라이너가 필요하다.
- <17> 한편, 프레임 단위로 코딩된 비트 스트림의 경우 코딩의 효율을 높이기 위해 도 1의 엠팩 레이어 3 오디오 프레임 포맷과 같이 i 번째 프레임의 데이터 일부를 $i-1$ 번째 프레임의 쓰이지 않은 영역에 저장한다.
- <18> 도 1와 i 번째 프레임(Frame $_i$)의 헤더(header)에 속한 MB는 그 값이 0보다 작거나

같은 포인터로서 I번째 프레임(Frame_i)의 데이터가 i-1 번째 프레임(Frame_{i-1})의 어디에서부터 시작하는 가를 나타낸다.

<19> 이러한 비트 스트림을 종래의 얼라이너를 사용하여 처리하려면, 버퍼를 헤더 버퍼와 데이터 버퍼로 분리하고, 입력 비트 스트림의 헤더를 하드웨어적으로 디코딩하여 비트 스트림의 헤더와 데이터를 분리하는 별도의 하드웨어가 필요하게 되어 비트 스트림 처리기의 설계가 복잡해진다. 또한, 상술한 바와 같은 하드웨어는 해당 비트 스트림의 타입(예, MP3, AAC, MS-AUDIO 포맷 등)마다 틀리므로, 새로운 타입의 비트 스트림을 처리하기 위해서는 비트 스트림 처리기 자체를 다시 설계해야 하는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<20> 본 발명은 상기 문제점을 해결하기 위하여 안출된 것으로써, 얼라이너와 원형 버퍼를 사용하여 비트 스트림의 헤더와 데이터를 분리 저장하지 않고 하나의 원형 버퍼에 저장할 수 있도록 한, 비트 스트림 처리기를 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<21> 상기 목적을 달성하기 위한 본 발명은 비트 스트림 처리기에 있어서, 전송된 비트 스트림을 저장하는 원형 버퍼; 상기 전송된 비트 스트림을 상기 원형 버퍼의 어느 번지에 저장할 것인가에 대한 정보를 저장하고 있는 제1 레지스터 및 제1 백업 레지스터; 상기 원형 버퍼로부터 비트 스트림을 읽을 위치를 저장하고 있는 제2 레지스터; 상기 원형 버퍼로부터 읽을 비트 수를 저장하는 제3 레지스터; 상기 제3 레지스터의 비트 수와 이

전 단계에서 쉬프트된 비트 수를 가산하는 가산 수단; 상기 가산 수단의 출력에 응답하여 얼라인할 쉬프트량을 결정하는 제어 수단; 상기 제어 수단으로부터 출력되는 쉬프트량을 저장하는 제4 레지스터; 상기 제4 레지스터의 백업 레지스터인 제2 백업 레지스터; 이전에 상기 원형 버퍼로부터 읽은 비트 스트림을 저장하는 제5 레지스터; 상기 제5 레지스터의 백업 레지스터인 제3 백업 레지스터; 상기 제2 레지스터가 가리키는 상기 원형 버퍼의 비트 스트림과 상기 제5 레지스터의 값을 상기 제어 수단으로부터 출력되는 쉬프트량만큼 쉬프트하여 원하는 비트를 오른쪽을 얼라인하여 출력하는 쉬프트 수단; 및 상기 제3 레지스터의 값에 응답하여 상기 쉬프트 수단의 결과 비트 중 원하는 비트 이외의 값을 '0'으로 마스킹하여 최종 출력하는 마스킹 회로부를 포함하여 이루어진다.

<22> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

<23> 도 2는 본 발명의 일실시예에 따른 비트 스트림 처리기의 블록도이다.

<24> 도 2를 참조하면, 본 발명의 비트 스트림 처리기는 전송된 비트 스트림을 저장하는 원형 버퍼(100), 전송된 비트 스트림을 원형 버퍼(100)의 어느 번지에 저장할 것인가에 대한 정보를 저장하고 있는 헤드 포인터 레지스터(head_ptr)(110) 및 리드 포인터 백업 레지스터(read_ptr_bak)(120), 원형 버퍼(100)에서 비트 스트림을 읽을 위치(X)를 가리키고 있는 리드 포인터 레지스터(read_ptr)(130), 원형 버퍼(100)로부터 읽을 비트 수를 저장하는 비트량 레지스터(BIT_AMT)(140), 비트량 레지스터(140)의 비트 수와 이전 단계에서 쉬프트된 비트 수를 가산하는 가산기(150), 가산기(150)의 출력에 응답하여 얼라인할 비트수(쉬프트량)를 결정하는 제어부(shamt_ctrl)(160), 제어부(160)의 출력(쉬프트

트량)을 저장하는 쉬프트량 레지스터(shamt)(170), 쉬프트량 레지스터(170)의 백업 레지스터(shamt_bak)(220), 'X-1'이 가리키는 원형 버퍼(100)의 내용을 저장하는 잔류 레지스터(remain)(180), 잔류 레지스터(180)의 백업 레지스터(remain_bak)(190), 리드 포인터 레지스터(130)가 가리키는 원형 버퍼(100)의 내용(buff_out)과 잔류 레지스터(180)의 값을 제어부(160)로부터 출력되는 쉬프트량만큼 쉬프트하여 원하는 비트를 오른쪽을 열 라인하여 출력하는 쉬프트기(200), 비트량 레지스터(140)의 값에 응답하여 쉬프트기(200)의 결과 중 원하는 비트 이외의 값을 '0'으로 마스킹하여 최종 출력하는 마스킹 회로부(210)로 이루어진다.

<25> 도 2와 같이 구성되는 본 발명은 원형 버퍼(100)와 쉬프트기(200)를 제어하는 read_ptr(130), shamt(170), remain(180)에 각각 백업 레지스터를 두어 비트 스트림을 읽어다가 백업 레지스터들에 값을 저장한 시점의 비트 스트림 위치에서부터 다시 비트 스트림을 읽을 수 있도록 구성됨으로써, 상기 도 1에 도시된 비트 스트림을 단일 원형 버퍼를 사용하여 처리하는 것을 가능하게 한다.

<26> 먼저, 본 발명의 동작을 설명하기 위해 원형 버퍼(100)의 한 메모리 워드(memory word)가 16 비트(A[n][15], A[n][14], ... A[n][0])로 구성되고, 상기 도 2의 회로는 최대 16비트까지 비트를 열라인하여 보내줄 수 있으며, 전송된 비트는 원형 버퍼(100)에 도 3과 같은 순서로 저장되어 있다고 가정한다.

<27> 본 발명의 비트 스트림 처리기는 2가지 동작 모드, 즉 한번 읽어간 비트 스트림을 다시 읽을 수 없는 제1 리드 모드(consumed read mode)와, 한번 읽어간 비트 스트림을 다시 읽을 수 있는 제2 리드 모드(non-consumed read mode)를 가지고 있다. 여기서, 제1 리드 모드에서는 shamt(170), read_ptr(130), remain(180)과 각각의 백업 레지스터들의

값이 동시에 업데이트되고, 제2 리드 모드에서는 shamt(170), read_ptr(130), remain(180)의 값만이 업데이트되고, 백업 레지스터들의 값은 변하지 않는다.

<28> 도 4는 본 발명의 일실시예에 따른 상기 비트 스트림 처리기의 구체적인 동작을 설명하기 위해 제1 리드 모드에서 10비트를 읽어 가는 일례를 도시한 도면으로서, 읽을 10비트를 원형 버퍼(100) A[0]의 최하위 3비트(A[0][2:0])와 A[1]의 최상위 8비트(A[1][15:9])라고 가정한 경우이다.

<29> 도 4를 참조하면, 현재 read_ptr(130)이 A[1]번지를 가리키고 있으므로, remain(180)은 A[0]의 값을 가지고 있다. 그리고, BIT_AMT(140)는 읽을 비트수 '10'을 저장하고, shamt(170)의 값, A[0][15:3]까지의 13비트는 이전에 소멸된(consumed) 상태이므로 이를 가리키기 위해 '13'으로 되어 있다. 이제 10비트를 가져가는 동작을 구체적으로 설명하면, 도 4에 도시된 바와 같이 쉬프트기(200)의 입력으로 A[0], A[1]이 들어오고(여기서, A[0]이 상위 비트), 제어부(160)는 $32 - (\text{BIT_AMT} + \text{shamt})$ 로 계산된 값 '9'를 쉬프트기(200)의 쉬프트량으로 출력한다. 따라서, 쉬프트기(200)는 {A[0], A[1]} 32비트 데이터를 오른쪽으로 9비트 쉬프트한 16비트의 결과값 {A[0][8:0], A[1][15:9]}를 출력하고, 마스킹 회로부(210)는 쉬프트기(200)의 결과 중 최하위 10비트를 제외한 상위 6비트를 '0'으로 채워 최종 결과 {6'b0, A[0][2:0], A[1][15:9]}를 내보내게 된다.

<30> 도 5는 본 발명의 일실시예에 따른 상기 비트 스트림 처리기의 구체적인 동작을 설명하기 위해 제2 리드 모드에서 13비트를 읽어 가는 일례를 도시한 도면으로서, 전반적인 동작은 상술한 바와 동일하고 단지 제2 리드 모드에서는 백업 레지스터들(도면에서 사선 처리된 레지스터)이 제1 리드 모드에서 제2 리드 모드로 전환할 때의 상태를 기억

하고 있다.

<31> 도 6은 제2 리드 모드에서 제1 리드 모드로 전환했을 때의 비트 스트림 처리기의 상태를 도시한 도면이다.

<32> 도 6을 참조하면, 백업 레지스터들의 값이 각각 shamt(170), remain(180), read_ptr(130)로 리스토어(restore)되어, 제2 리드 모드로 들어갈 때의 상태의 비트 스트림의 위치부터 스트림을 읽을 수 있다.

<33> 다음으로, 엠팩 레이어 3 오디오 프레임 포맷 비트 스트림이 도 7과 같이 원형 버퍼에 저장되어 있을 때, 본 발명의 비트 스트림 처리기로 비트 스트림을 처리하는 과정을 도 7에 도시하였다.

<34> 도 7을 참조하면, 먼저 현재 $frame_{i-1}$ 의 데이터에 해당하는 $data_{i-1}$ 의 비트를 처리하고 있다고(제1 동작) 가정하면, 일단 처리된 데이터는 버퍼에 둘 필요가 없으므로 제1 동작은 제1 리드 모드로 수행된다. 제1 동작이 끝나면 상술한 바와 같이, $frame_i$ 의 데이터를 처리하기 위해서 $frame_i$ 의 헤더($header_i$)를 디코딩해야 하는데, 이때 $frame_{i-1}$ 에 저장된 $frame_i$ 의 데이터($data_i$)는 없어지면 안되므로, 제2 리드 모드로 전환해 비트 스트림을 읽어가면서 $frame_i$ 의 헤더($header_i$)를 찾아 MB를 디코딩해 $frame_{i-1}$ 에 저장된 $frame_i$ 의 데이터 위치를 알아낸다(제2 동작). 이러한 제2 동작이 끝나면, 다시 제1 리드 모드로 전환해 $frame_{i-1}$ 에 저장된 $frame_i$ 의 비트 스트림을 처리한다(제3 동작).

<35> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양

한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<36> 상기와 같이 이루어지는 본 발명은, 원형 버퍼와 쉬프트기를 제어하는 read_ptr, shamt, remain에 각각 백업 레지스터를 두어 비트 스트림을 읽어나가다가 백업 레지스터들에 값을 저장한 시점의 비트 스트림 위치에서부터 다시 비트 스트림을 읽을 수 있도록 구성함으로써, 단일 원형 버퍼를 사용하여 비트 스트림을 처리할 수 있다.

【특허청구범위】

【청구항 1】

비트 스트림 처리기에 있어서,

전송된 비트 스트림을 저장하는 원형 버퍼;

상기 전송된 비트 스트림을 상기 원형 버퍼의 어느 번지에 저장할 것인가에 대한 정보를 저장하고 있는 제1 레지스터 및 제1 백업 레지스터;

상기 원형 버퍼로부터 비트 스트림을 읽을 위치를 저장하고 있는 제2 레지스터;

상기 원형 버퍼로부터 읽을 비트수를 저장하는 제3 레지스터;

상기 제3 레지스터의 비트수와 이전 단계에서 쉬프트된 비트수를 가산하는 가산 수단;

상기 가산 수단의 출력에 응답하여 얼라인할 쉬프트량을 결정하는 제어 수단;

상기 제어 수단으로부터 출력되는 쉬프트량을 저장하는 제4 레지스터;

상기 제4 레지스터의 백업 레지스터인 제2 백업 레지스터;

이전에 상기 원형 버퍼로부터 읽은 비트 스트림을 저장하는 제5 레지스터;

상기 제5 레지스터의 백업 레지스터인 제3 백업 레지스터;

상기 제2 레지스터가 가리키는 상기 원형 버퍼의 비트 스트림과 상기 제5 레지스터의 값을 상기 제어 수단으로부터 출력되는 쉬프트량만큼 쉬프트하여 원하는 비트를 오른쪽을 얼라인하여 출력하는 쉬프트 수단; 및

상기 제3 레지스터의 값에 응답하여 상기 쉬프트 수단의 결과 비트 중 원하는 비트 이외의 값을 '0'으로 마스킹하여 최종 출력하는 마스킹 회로부

를 포함하여 이루어지는 비트 스트림 처리기.

【청구항 2】

제 1 항에 있어서, 상기 비트 스트림 처리기는,

한번 읽어진 상기 비트 스트림을 다시 읽을 수 없는 제1 리드 모드 및 한번 읽어진
상기 비트 스트림을 다시 읽을 수 있는 제2 리드 모드로 동작되도록 구성됨을 특징으로
하는 비트 스트림 처리기.

【청구항 3】

제 2 항에 있어서,

상기 제1 리드 모드에서는 상기 제2, 제4 및 제5 레지스터의 값과 상기 제1 내지
제3 백업 레지스터의 값이 동시에 업데이트되도록 구성됨을 특징으로 하는 비트 스트림
처리기.

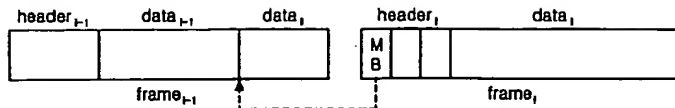
【청구항 4】

제 3 항에 있어서,

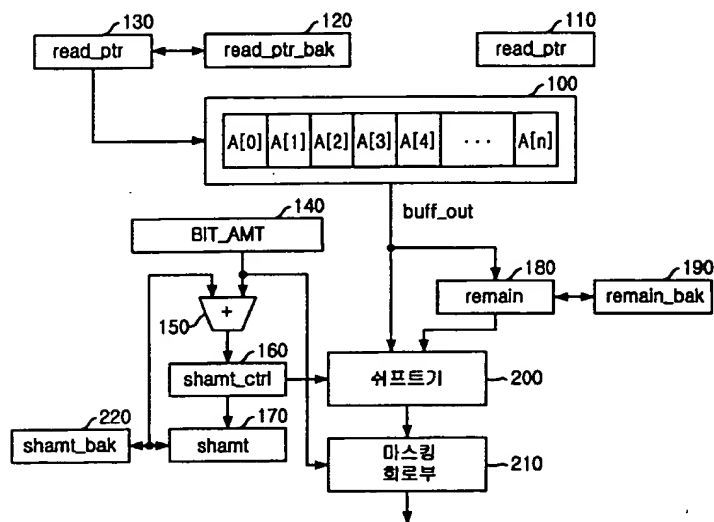
상기 제2 리드 모드에서는 상기 제2, 제4 및 제5 레지스터의 값만이 업데이트되고,
상기 제1 내지 제3 백업 레지스터의 값은 변하지 않도록 구성됨을 특징으로 하는 비트
스트림 처리기.

【도면】

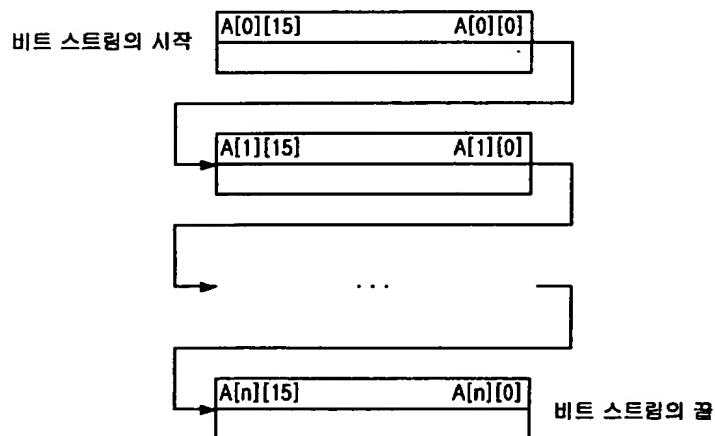
【도 1】



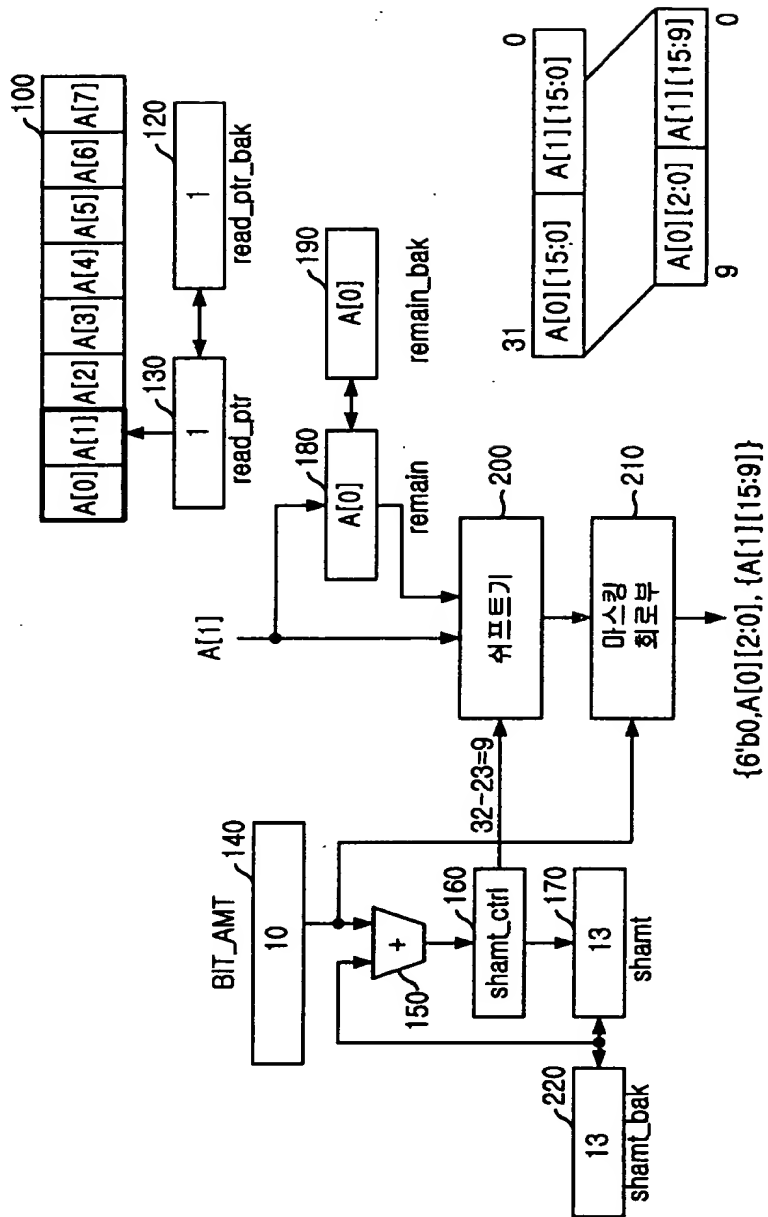
【도 2】



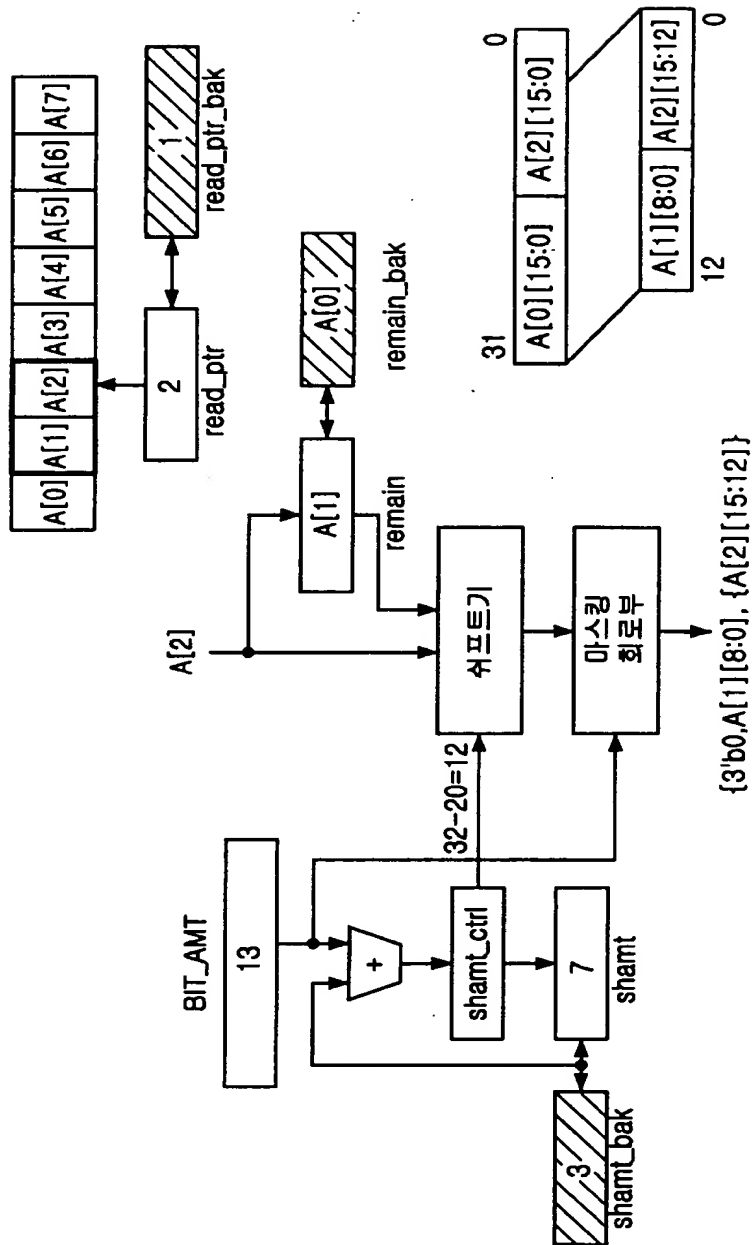
【도 3】



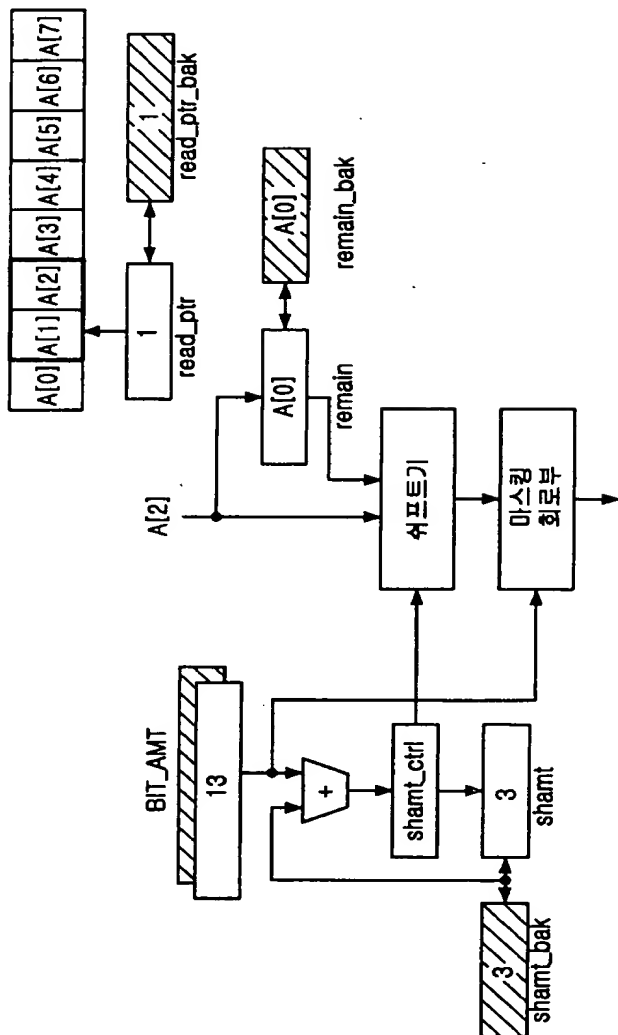
【도 4】



【도 5】



【도 6】



【도 7】

